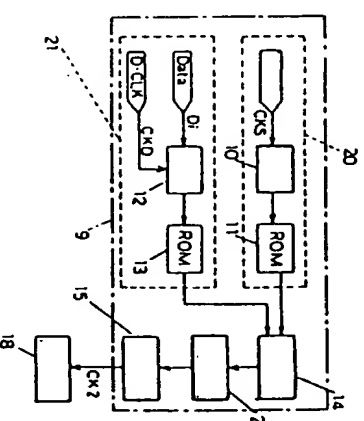
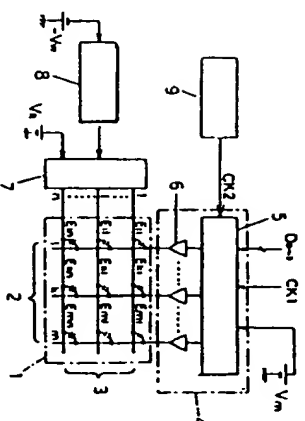


(54) MULTILEVEL DISPLAY CONTROL DRIVING DEVICE FOR MATRIX
DISPLAY PANEL

- (11) 2-135421 (A) (43) 24.5.1990 (19) JP
(21) Appl. No. 63-291234 (22) 17.11.1988
(71) MATSUSHITA ELECTRIC IND CO LTD (72) TAKASHI TSUKADA
(51) Int. Cl^s G02F1/133, G09G3/20, G09G3/36, H04N5/66

PURPOSE: To easily and inexpensively perform multilevel displays by controlling the clock frequency of a pulse width modulation (PWM) control circuit with a compensation circuit by using a data-side driver incorporating the PWM control circuit.

CONSTITUTION: The clock signal CK₂ which decides the pulse width used by a data-side driver 4 for making PWM control is variably controlled at a clock frequency change circuit 9 with the compensating value of a charging time constant corresponding to each display element. In other words, outputs of compensating factors α and β from ROMs 11 and 13 operate as the control voltage of a voltage-controlled oscillation circuit (VCO) 15 after the sum of the outputs is taken by an adder 14 and the output of the VCO 15 is supplied to a PWM control circuit 5 as signals CK₂. On the other hand, the pulse width of the output of a counter circuit 18 is inverse proportion to the frequency of the signals CK₂ and becomes narrower or wider as the compensating factors become larger or smaller, since the output of the circuit 18 is produced by counting the signals CK₂. Therefore, the charging time is fixed and luminance is uniformized by changing the supplying time of modulating voltages to each display element against the same multilevel displaying level.



7: scan-side driver, 8: write pulse generation circuit, 10,12: counter circuit, 20: 1st time constant compensation circuit, 21: 2nd time constant compensation circuit, 22: D/A conversion circuit, a: scanning CLK

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-135421

⑤ Int. Cl.⁵

G 02 F 1/133
G 09 G 3/20
3/36
H 04 N 5/66

識別記号

5 7 5

K

A

庁内整理番号

8708-2H
6376-5C
8621-5C
7605-5C

④ 公開 平成2年(1990)5月24日

審査請求 未請求 請求項の数 5 (全7頁)

⑥ 発明の名称 マトリックス表示パネルの階調表示制御駆動装置

② 特 願 昭63-291234

② 出 願 昭63(1988)11月17日

⑦ 発 明 者 塚 田 敬 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑦ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑦ 代 理 人 弁理士 栗野 重孝 外1名

明 細 書

1. 発明の名称

マトリックス表示パネルの階調表示制御駆動装置

2. 特許請求の範囲

(1) データ電極と走査電極が直交した容量性表示素子からなるマトリックス表示パネルと、変調電圧を供給するデータ電極に接続されたパルス幅変調制御回路を有するデータ側ドライバと、書き込み電圧を供給する走査側電極に接続された走査側ドライバと、走査側選択電極に対応して充電時定数を補償係数 α で補償する第1時定数補償回路と、一走査期間の表示データ数に対応して充電時定数を補償係数 β で補償する第2時定数補償回路と、前記第1・第2時定数補償回路の補償係数 α ・ β 出力に対応して前記パルス幅変調制御回路のクロック周波数を制御する周波数可変回路を備えたことを特徴とするマトリックス表示パネルの階調表示制御駆動装置。

(2) 第1時定数補償回路の補償係数 α は走査選択電極の第1番目を最大値(最小値)、最終番目を

最小値(最大値)とする指数関数とし、第2時定数補償回路の補償係数 β は一走査期間の総データ数に対する発光表示データ数比率が0及び100%で最大値(最小値)、50%で最小値(最大値)となる一次関数としたことを特徴とする請求項1記載のマトリックス表示パネルの階調表示制御駆動装置。

(3) 第1時定数補償回路は走査シフト信号を入力とするカウンタ回路10と、その出力をアドレス信号とする補償係数 α がメモリされたROM11で構成し、第2時定数補償回路は転送データ信号とデータクロック信号を入力とするカウンタ回路12と、その出力をアドレス信号とする補償係数 β がメモリされたROM13で構成し、周波数可変回路は電圧制御発信回路(VCO)15で構成したことを特徴とする請求項1記載のマトリックス表示^(パネル)の階調表示制御駆動装置。

(4) 第1時定数補償回路は走査シフト信号を入力とするカウンタ回路10と、その出力をアドレス信号とする補償係数 α がメモリされたROM11で構成し、第2時定数補償回路は転送データ信号

とデータクロック信号を入力とするカウンタ回路12と、その出力をアドレス信号とする補償係数 β がメモリされたROM13で構成し、周波数可変回路は発振回路22と、その出力をクロック信号、前記補償回路出力を制御信号としたカウンタ回路23で構成したことを特徴とする請求項1記載のマトリックス表示の階調表示制御装置。

(5)データ電極が奇数群と偶数群の上下に分割された表示パネルであって、奇数電極データ側ドライバと偶数電極データ側ドライバのパルス幅変調制御回路のクロック周波数制御に関し、前記奇数電極データ側ドライバと前記偶数電極データ側ドライバとで前記第1時定数補償回路の補償係数 α を逆特性の関係にしたことを特徴とする請求項1記載のマトリックス表示の階調表示制御装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、EL(エレクトロ・ルミネッセンス)、PDP(プラズマ)等の容量性表示素子で構成されたマトリックス表示パネルの階調制御駆動装置に関するものである。

$$T=t/(nr \cdot nc)$$

上式を簡易化すると $\delta(n,t) \approx 1 - \text{Exp}-(2.0 \sim 2.3)T$ となる。

段数 n が増えるほど n thの $\delta \approx 1$ (充電率100%)となる時間 t_n は増大する。通常、2値表示における駆動電圧のパルス幅 t_p は最遠点素子(n th)への充電完了を標準とする必要があるので $t_p \geq t_n$ とすることにより全素子への充電率を100%にしてデータ電極上のEL表示素子の輝度傾斜が発生しないようにして駆動される。

発明が解決しようする課題

マトリックス表示パネルの階調表示を行なうことを考えた場合、その駆動方法として駆動パルス電圧の印加回数を制御する周波数変調(以下、FMと称す。)*駆動パルス電圧のパルス幅を制御するパルス幅変調(以下、PWMと称す。)*駆動パルス電圧の印加電圧を制御する振幅変調(以下、AMと称す。)*の各制御法がある。PWM制御及びAM制御には、これらの制御回路を内蔵した専用のドライバが必要であり回路構成の簡単なPWM制御用ドライバのほうが安価

従来の技術

容量性表示素子のマトリックス表示装置として薄膜EL表示装置を例にとって述べる。EL表示パネルのマトリックス電極は、一般にデータ電極はITO透明電極、走査電極はアルミ電極で構成されている。各電極抵抗値は材料の違いによりITO電極抵抗 \gg アルミ電極抵抗となるので表示素子への充電時定数は、殆どITO透明電極抵抗値で決まってしまう。データ電極側から見た負荷の等価回路は第7図に示すような抵抗 r と容量 c による N 段連続 π 形回路で示される。ここで r は1ピッチ当りのITO電極抵抗、 c は1表示素子当りのEL容量そして n は走査電極数に相当する。

この等価回路における入力電圧 V_i に対する出力電圧 V_o の伝達特性が第8図である。時間 t に対する入力電圧 V_i と出力電圧 V_o の関係は、次式で示される。

$$V_i/V_o = \delta = (1 - 4/\pi) \cdot \sum a \cdot \text{Exp}-(B \cdot T)$$

但し $\sum a: a = 0 \sim \infty$

$$A = (-1)^n / (2n+1) \quad B = (2n+1) \cdot \pi^2 / 4$$

である。

薄膜ELパネルのような容量性素子をPWM制御法で階調表示させた場合、各表示素子の充電時定数が異なるため充電電圧の不均一で輝度傾斜を生じ階調差が分かりにくくなり、特に充電時定数差が大きい時や多階調表示の時には部分的に階調表示ができなくなってしまう。それ故、一般に駆動パルス幅 t_p を $t_p \geq t_n$ の条件としたFMまたはAM制御法が用いられる。

ところで駆動パルス幅 t_p は素子への充電時定数、走査電極数およびフレーム数などにより必然的に決ってしまう。特に高解像度化や大面積化をはかったパネルにおいては、FM制御法は時間的制約で階調数に限度があり多階調表示には向かない。又、AM制御法は容量性負荷パネルにとって最良の駆動法と言えるが、高耐圧大電流タイプのAM制御用ドライバはまだ開発レベルで非常に高価であるという問題点を有していた。

本発明はかかる従来技術の課題にかえり、PWM制御用ドライバのPWM制御の補償により輝度傾

斜をなくして多階調表示を可能にした安価な容量性マトリックス表示パネルの階調表示制御駆動装置を提供することを目的とする。

課題を解決するための手段

本発明は、容量性マトリックス表示パネルと、データ電極に接続されたPWM制御回路を有するデータ側ドライバと、走査電極に接続された走査側ドライバと、走査側選択電極に対応して充電時定数を補償する第1時定数補償回路と、一走査期間の表示データ数に対応して充電時定数を補償する第2時定数補償回路と、前記第1・第2時定数補償回路の出力に対応して前記PWM制御回路のクロック周波数を制御する周波数可変回路を備えたマトリックス表示パネルの階調表示制御駆動装置である。

作用

本発明は前記した構成により、PWM制御回路を内蔵したデータ側ドライバでPWM制御した場合のデータ電極抵抗と各表示素子容量とによる充電時定数に起因した充電電圧の不均一を補償するために、データ側ドライバからの最近点素子から最遠点素

子のEL表示パネル、2はEL表示パネル1のデータ電極、3はEL表示パネル1の走査電極、4はパルス幅変調制御回路5(以下、パルス幅変調制御はPWM制御と称す)及びブッシュアップ型ドライバ6とで構成されるデータ側ドライバ、7は走査側ドライバ、8は走査側ドライバ7を介して表示素子に書き込みパルスを供給するための書き込みパルス発生回路、9はPWM制御回路5を制御するためのクロック周波数可変回路である。尚、データ側ドライバ4のPWM制御回路5は第2図に示すようにクロック信号CK1でデータ信号を転送するシフトレジスタ回路16、その出力を一走査期間メモリさせるラッチ回路17、PWM制御をするためにクロック信号CK2をカウントするパルスカウンタ回路18、そしてデータ信号内容に対応してパルスカウンタ回路18の出力を選択するパルス幅セレクタ回路19とで構成される。例えば、16階調表示を行うにはデータ信号として00~03の4bit及びパルスカウンタ回路出力が4bit必要である。

以上のように構成された本実施例について、第

子までの各表示素子に対する充電時定数の変化を走査側選択電極に対応した補償係数 α を発生する第1時定数補償回路で前記最近点素子の時定数を基準とした時定数補償を行うと共に一走査期間の表示データ数に関係した充電時定数の変化を補償係数 β を発生する第2時定数補償回路で時定数補償を行い、前記第1・第2時定数補償回路の補償係数 $\alpha \cdot \beta$ で制御された周波数可変回路の出力信号を前記PWM制御回路のクロック信号とし、走査側選択電極及び表示データ数に対応してPWM制御出力のパルス幅を標準値よりも狭く可変制御することにより各素子に対する充電電圧が均一となりデータ電極ラインに沿った輝度傾斜をなくすることができる。

実施例

以下に、本発明の実施例を図面に基づいて説明する。

第1図は本発明の第1の実施例におけるマトリックス表示パネルの階調表示制御駆動装置のブロック図を示すものである。第1図において、1は表示素子にELを使用したX-Yマトリックス電極構成

3図及び第4図に基づいてその動作を説明する。データ側ドライバ4の出力は1~mのデータ電極2に接続され、走査側ドライバ7の出力は1~nの走査電極3に接続されている。各電極の交点にはEL表示素子E11~E_mnが介在する。通常はEL表示素子に対しデータ側ドライバ4に供給される変調電圧V_mと書き込みパルス発生回路8に供給される書き込み電圧-V_wとが同時に印加されて線順次走査を終了後、書き込み電圧-V_wと逆極性のリフレッシュ電圧V_rを走査側ドライバ7より印加することにより1フレームに2回発光させる。この駆動方法は一斉反転リフレッシュ駆動と呼ばれている。

第7図及び第8図で示したようにEL表示素子への充電電圧はデータ側ドライバ4に対して最近点表示素子Ex1(但しx:1~m)から最遠点表示素子Exnに向かうほど充電時定数が大きくなるのでPWM制御を行うと近点表示素子と遠点表示素子との充電電圧差が顕著になり、全素子に対して均一な変調電圧を供給することができず、結果としてデータ電極ライン方向に輝度傾斜が生じてしまう。

この解決のために、本実施例ではデータ側ドライバ4のPWM制御におけるパルス幅を決定するクロック信号CK2について、クロック周波数可変回路9にて各表示素子に対応した充電時定数の補償値で可変制御した信号をクロック信号CK2とすることにより同一階調表示レベルに対して各表示素子への変調電圧 V_m の供給時間を変えて充電電圧を一定にし輝度の均一化を図っている。尚、ここでは走査順序はデータ側ドライバ4の最近点を1番目、最遠点を n 番目として線順次走査を行うものとする。

第3図にクロック周波数可変回路9のブロック図を示す。この回路では、各表示素子に対して(1)走査側選択電極に対応してデータ電極抵抗 r と表示素子容量 c で決まる充電時定数を補償する第1時定数補償回路20と(2)一走査期間の表示データ数に対応して充電時定数を補償する第2時定数補償回路21の2系統の時定数補償回路により補償が行われる。

第1時定数補償回路20は、カウンタ回路10とROM11で構成され、線順次走査を行うため

タ電極2の選択電極と非選択電極間で充電ループを形成するため表示率が0、100%で最小値、50%で最大値(最小値の2倍)の一次関数の値をとる。そのため第2時定数補償回路13の補償係数 β は、第4図(b)に示すような表示比率が0、100%で最大値、50%で最小値とした逆特性の一次関数の値である。これら補償係数 α 、 β はパネル仕様から求めることができるのでメモリに予め記憶させておけばよい。

ROM11、13からの補償係数 $\alpha \cdot \beta$ の出力は加算器14で加算した後、D/A変換回路22をへて電圧制御発振回路(VCO)15の制御電圧として動作させる。そしてVCO出力は、PWM制御回路5におけるパルスカウンタ回路18のクロック信号CK2として供給する。電圧制御発振回路15の発振周波数は、制御電圧に比例して変化するものとする。それ故、補償係数が大きいほど高い周波数、小さいほど低い周波数になる。尚、ROM11、13からの補償係数 $\alpha \cdot \beta$ の出力は、上記した動作からわかるように一走査期間毎に変化する。

の走査側シフト信号CKSをカウンタ回路10でカウントし、選択電極と同期したカウント出力をアドレス信号としたROM11に送る。ROM11では、アドレス信号に対応して予め設定された補償係数 α が出力される。ROM11の補償係数 α は、第4図(a)の実線で示すような走査ラインに対して選択電極が第1番目で最大値、第 n 番目で最小値となり、関数を $f(\alpha)$ とすれば前記 $\delta(n, t)$ の逆特性で示されるような指数関数の値をとる。

第2時定数補償回路21は、カウンタ回路12とROM13で構成され、表示情報データの転送データ信号Diをデータクロック信号CK0と対応させながらカウンタ回路12により一走査期間中の表示(発光または非発光)データ数をカウントし、その出力をアドレス信号とするROM13に送る。ROM13ではアドレス信号により得られる表示比率に対応して予め設定された補償係数 β が出力される。表示比率に対する充電時定数の影響を簡単に述べると、容量結合されたマトリックス電極構成により走査側選択電極ライン上におけるデー

一方、カウンタ回路18はクロック信号CK2をカウントした出力なので、その出力パルス幅はクロック信号CK2の周波数に反比例し補償係数が大きいほど狭く、補償係数が小さいほど広がる。クロック信号CK2の標準周波数は、補償係数 $\alpha \cdot \beta$ が最小値(走査側選択電極が第 n 番目でかつ表示比率が50%)に設定される。この設定により走査側選択電極が第1～第 $n-1$ 番目に対して補償係数 α 、表示比率が $\neq 50\%$ に対して補償係数 β の各補償でクロック信号CK2の周波数が高くなり、パルスカウンタ回路18の出力パルス幅は狭くなる。

このような制御によって動作状態を前記したような標準周波数時の走査側電極が第 n 番目でかつ表示比率が50%の状態に正規化される。これによって充電時定数の小さい表示素子ほど標準より狭いパルス幅の変調電圧 V_m が印加され、結果として充電時定数の大小と無関係に各表示素子には指定された階調レベルに相当する変調電圧 V_m' が均一に充電され、輝度傾斜をなくすることができる。

第5図はクロック周波数可変回路9の他の構成

ブロック図である。第3図との相違はパルスカウンタ回路18のクロック信号CK2として使う可変周波数発振回路の構成で、ここでは発振回路23の発振出力信号とカウンタ回路24に人力すると共に、加算器14の出力でカウンタ回路24の発振出力信号に対するカウント数を制御することによってカウンタ回路24のパルス出力間隔を変化させパルスカウンタ回路18のクロック信号CK2としたものである。この構成では、ディジタル信号処理で制御できるので第3図に示すD/A変換回路22が不要となる。尚、データクロック信号CK0が、一走査期間周波数よりも十分に高い周波数であるならば発振回路23の発振出力信号の代わりに利用してもよい。

第6図は、本発明の第2の実施例を示すマトリックス表示パネルの階調表示制御装置のブロック図であり、データ電極2が奇数データ電極2aと偶数データ電極2bの上下に2分割されたEL表示パネル1の場合である。尚、この図では走査電極3に接続される走査側ドライバ7や書き込みパルス発

数 αa と第2時定数補償回路21で出力された補償係数 β を加算器14aを介して制御した電圧制御発振回路15aの出力をクロック信号CK2aとし、偶数電極データ側ドライバに対しては第1時定数補償回路20bで出力された補償係数 αb と第2時定数補償回路21で出力された補償係数 β を加算器14bを介して制御した電圧制御発振回路15bの出力をクロック信号CK2bとする2系統のクロック周波数可変回路の制御により、第1の実施例と同様に輝度傾斜が表示パネル全体で補償される。

以上のように、表示素子の走査側選択電極に対応したデータ電極の充電時定数の補償係数 α と一走査期間の表示データ数に対応した充電時定数の補償係数 β でPVM制御用データ側ドライバのPVM制御クロック周波数を制御することにより充電時定数に起因した輝度傾斜をなくし多階調表示を可能にするものである。補償係数 $\alpha \cdot \beta$ は、第4図(a)、(b)で示す特性に限定されることなく周波数可変回路の特性によっては逆特性にする必要がある。又、薄膜EL表示パネルの駆動法として一斉反

生回路8等は省略している。奇数データ電極2aに奇数電極データ側ドライバ4a、偶数データ電極2bに偶数電極データ側ドライバ4bが接続されている。走査電極3の走査順序は、奇数電極データ側ドライバ4a側を第1番目、偶数電極データ側ドライバ4b側を第n番目とする。

このような構成においては、走査側選択電極の表示比率に対応した充電時定数の補償係数 β に関しては第1の実施例と同様であるが、走査側選択電極に対するデータ電極方向の時定数に関しては第n/2番目選択電極(中央)を境にして奇数データ電極2aと偶数データ電極2bでは正反対の特性になる。そのためデータ電極方向の充電時定数を補償する補償係数 α は、奇数電極データ側ドライバ2aと偶数電極データ側ドライバ2bとでは前記同様に第4図(a)に示すような第n/2番目を線対称とする αa (実線)、 αb (破線)の補償特性にする必要がある。

それ故、奇数電極データ側ドライバ4aに対しては、第1時定数補償回路20aで出力された補償係

転リフレッシュ駆動法にて述べたが、これに限らずフレーム反転駆動法など他の駆動法であっても何等差し支えない。尚、本実施例では薄膜EL表示パネルについて述べたがPDP等、容量性負荷からなるマトリックス表示パネルであれば有効であることは言うまでもない。

発明の効果

以上説明したように、本発明によれば、容量性マトリックス表示パネルの駆動に際してPVM制御回路を内蔵したデータ側ドライバを使用してPVM制御回路のクロック周波数を補償回路で制御することにより輝度傾斜をなくし見かけ上、表示素子にはAM制御法と同等な電圧が印加され多階調表示を容易に、かつ低コストで実現することができ、その実用的効果は大きい。

4、図面の簡単な説明

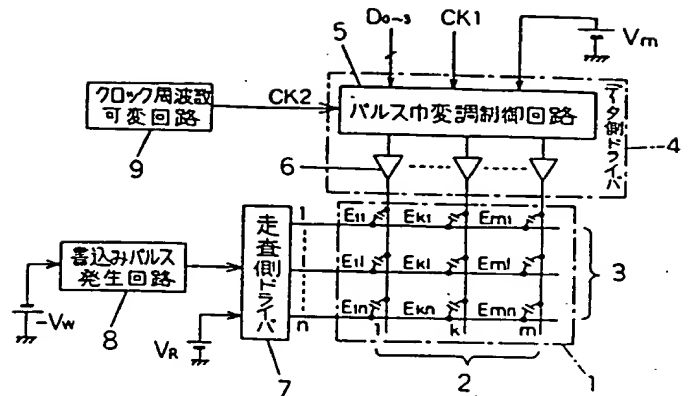
第1図は本発明の第1の実施例におけるマトリックス表示パネルの階調表示制御駆動装置のブロック図、第2図は同実施例におけるPVM制御回路を内蔵したデータ側ドライバのブロック図、第

3図は同実施例におけるPVM制御回路のクロック周波数を制御するクロック周波数可変回路のブロック図、第4図は同実施例におけるクロック周波数可変回路の時定数補償回路の補償係数 $\alpha \cdot \beta$ の特性グラフ、第5図は同実施例におけるクロック周波数可変回路の他の構成のブロック図、第6図は第2の実施例におけるマトリクス表示パネルの階調表示制御装置のブロック図、第7図は容量性マトリクス表示パネルの等価回路であるN段連続 π 形回路図、第8図はN段連続 π 形回路の伝達特性グラフである。

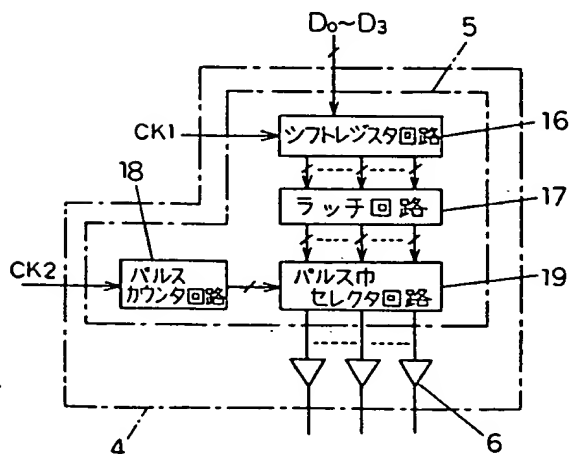
1…EK表示パネル、4…データ側ドライバ、5…パルス幅変調制御回路、9…クロック周波数可変回路、10、12…カウンタ回路、11、13…ROM、15…電圧制御発振回路、20…第1時定数補償回路、21…第2時定数補償回路

代理人の氏名 弁理士 栗野重孝 ほか1名

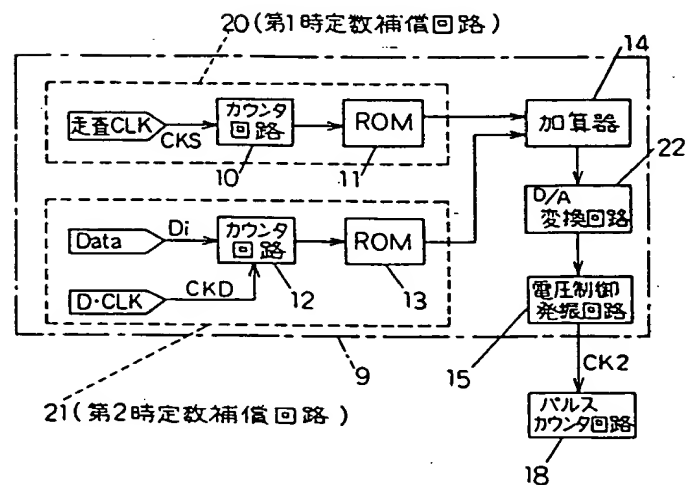
第1図



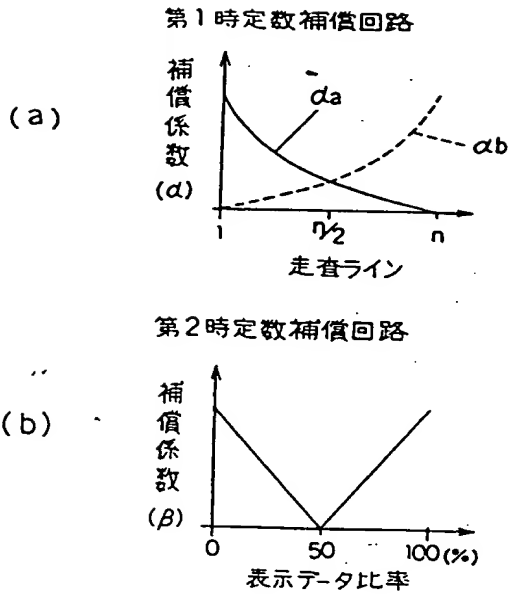
第2図



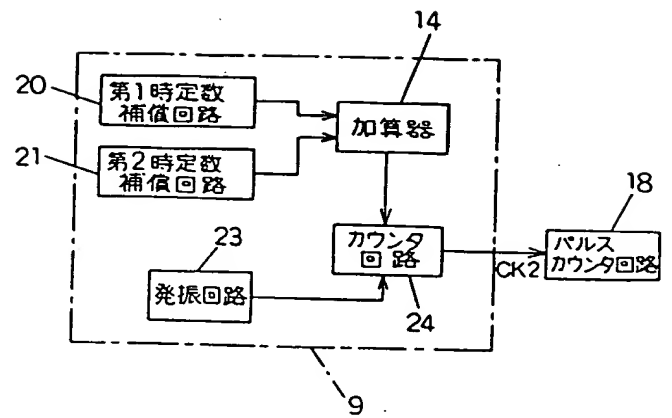
第3図



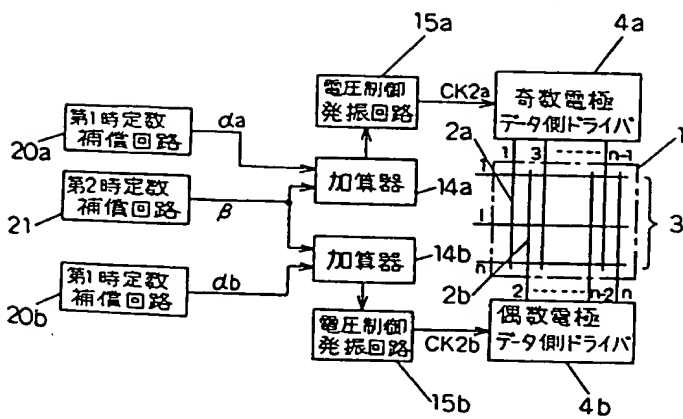
第 4 図



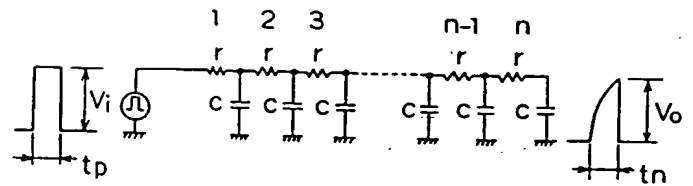
第 5 図



第 6 図



第 7 図



第 8 図

